

ORGANIC THIN FILM TRANSISTOR, FABRICATION THEREOF, LIQUID CRYSTAL ELEMENT AND ORGANIC LIGHT EMITTING ELEMENT

Publication number: JP10209459 (A)

Publication date: 1998-08-07

Inventor(s): TAKIMOTO AKIO; KOMORI KAZUNORI; SUGIURA HISANORI; NISHIYAMA KAZUHIRO

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: G02F1/136; G02F1/1368; G09F9/30; G09F9/33; G09F9/35; H01L21/336; H01L29/786; H01L51/00; H01L51/05; H01L51/30; H01L51/50; H05B33/26; G02F1/13; G09F9/30; G09F9/33; G09F9/35; H01L21/02; H01L29/66; H01L51/00; H01L51/05; H01L51/50; H05B33/26; (IPC1-7): H01L29/786; G02F1/136; G09F9/30; G09F9/33; G09F9/35; H01L21/336; H01L51/00

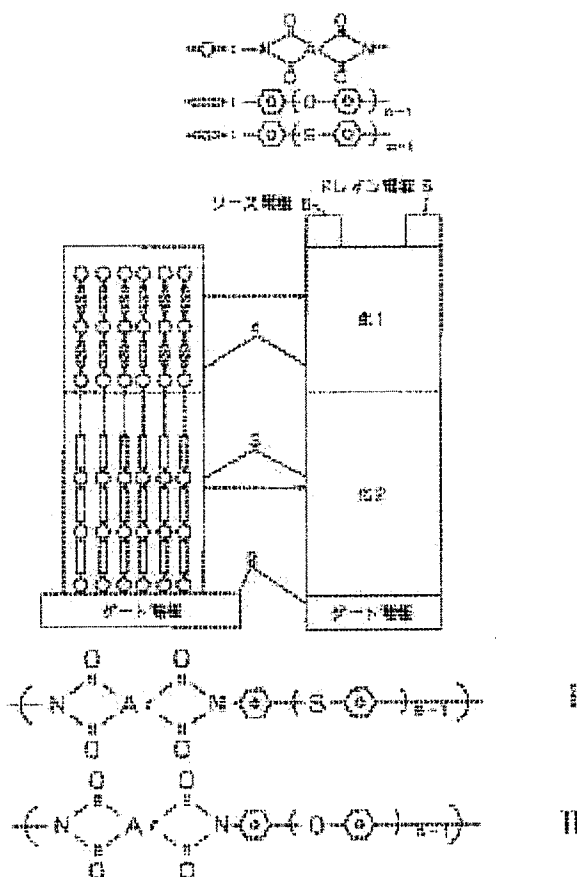
- European: H01L51/05B2; H01L51/00M2B

Application number: JP19970012178 19970127

Priority number(s): JP19970012178 19970127

Abstract of JP 10209459 (A)

PROBLEM TO BE SOLVED: To enhance field effect mobility by forming an active semiconductor layer of a polymer shown by formula I forming an insulation layer of a polymer shown by formula II and bonding the active semiconductor layer and the insulation layer continuously. **SOLUTION:** A thin film transistor comprises an active semiconductor layer 4 having three terminals of gate electrode 2, source electrode 6 and drain electrode 5, and an insulation layer 3 wherein the active semiconductor layer 4 is formed of a polymer shown by formula I while the insulation layer 3 is formed of a polymer shown by formula II and the active semiconductor layer 4 is bonded continuously with the insulation layer 3. In the formula, n and m are odd numbers of 3-7 and Ar is a group containing an aromatic ring.; The active semiconductor layer 4 and the insulation layer 3 can be formed continuously by thermal vacuum deposition. Grain size of polymer layers in the active semiconductor layer 4 and the insulation layer 3 is controlled by the substrate temperature and the deposition rate at the time of deposition and a maximum field effect mobility of about $10\text{cm}^2/\text{Vs}$ is obtained under optimal conditions.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209459

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl. ⁶	識別記号	F I
H 0 1 L 29/786		H 0 1 L 29/78 6 1 8 B
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
G 0 9 F 9/30	3 6 5	G 0 9 F 9/30 3 6 5 B
9/33		9/33 K
9/35	3 0 7	9/35 3 0 7

審査請求 未請求 請求項の数7 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平9-12178

(22) 出願日 平成9年(1997) 1月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 滝本 昭雄

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 小森 一徳

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 杉浦 久則

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

最終頁に続く

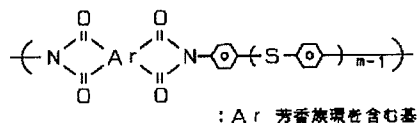
(54) 【発明の名称】 有機薄膜トランジスタ及びその製造方法並びに液晶素子と有機発光素子

(57) 【要約】

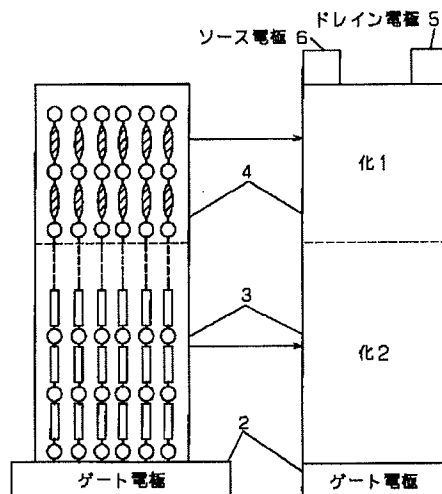
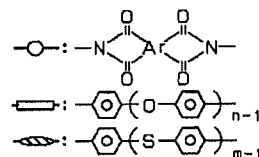
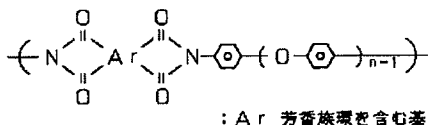
【課題】 大型ディスプレイ装置において、良好な画質を得るための特性の良好な有機薄膜トランジスタと、それを用いた液晶素子及び有機発光素子を得ることを目的とする。

【解決手段】 ゲート電極2、ソース電極6、ドレイン電極5の3端子及び活性半導体層4からなる薄膜トランジスタにおいて、ゲート絶縁膜3と活性半導体層4が(化2)と(化1)の高分子からなり、それらが連続して成膜される。

【化1】



【化2】

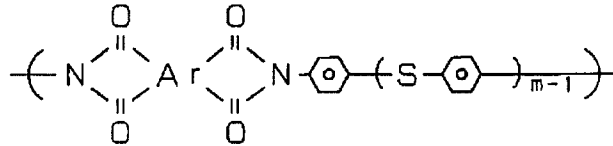


【特許請求の範囲】

【請求項1】ゲート電極、ソース電極、ドレイン電極の3端子及び活性半導体層と絶縁層からなる薄膜トランジスタにおいて、前記活性半導体層が(化1)で現される

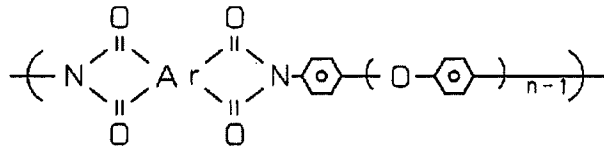
高分子であり、前記絶縁層が(化2)で現される高分子であり、前記活性半導体層と前記絶縁層が連続して結合されたことを特徴とする有機薄膜トランジスタ。

【化1】



: Ar 芳香族環を含む基

【化2】



: Ar 芳香族環を含む基

【請求項2】活性半導体層の(化1)において、nの値が3～7の奇数、絶縁層の(化2)において、mの値が3～7の奇数であることを特徴とする請求項1記載の有機薄膜トランジスタ。

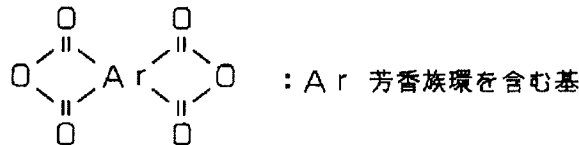
【請求項3】ゲート電極、ソース電極、ドレイン電極の3端子及び活性半導体層と絶縁層からなる薄膜トランジスタにおいて、前記活性半導体層が(化1)で現される高分子と(化2)で現される高分子が交互に結合されたことを特徴とする有機薄膜トランジスタ。

【請求項4】活性半導体層の(化1)において、nの値

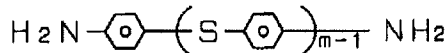
が3～7の奇数、(化2)において、mの値が3～7の奇数であることを特徴とする請求項3記載の有機薄膜トランジスタ。

【請求項5】真空加熱蒸着法において、(化3)で表される化合物と(化4)または(化5)で表されるジアミン化合物を交互に蒸発させることによって、基板面に(化1)、(化2)の高分子を重合させる有機薄膜トランジスタの製造方法。

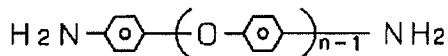
【化3】



【化4】



【化5】



【請求項6】請求項1～4のいずれかに記載の有機薄膜トランジスタを用いて画素電極を構成したことを特徴とする液晶素子。

【請求項7】請求項1～4のいずれかに記載の有機薄膜トランジスタを用いた有機発光素子であって、透明な共通電極が被覆された透明基板上に有機薄膜からなる電界発光層、及び正孔輸送層が積層され、その上にマトリクス状に分離された画素電極が形成され、各画素電極上には、ソース電極を介して前記有機トランジスタが配置された有機発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は大型ディスプレイ素子を駆動する有機薄膜トランジスタと、この有機薄膜トランジスタを用いた特に大型の液晶素子と、この有機薄膜トランジスタを用いた特に大型の有機発光素子に関する。

【0002】

【従来の技術】直視型の大画面ディスプレイには、液晶素子、プラズマ・ディスプレイ・パネル(PDP)の開発が盛んである。例えば、液晶素子では10インチクラス以上のa-Si TFT直視パネルが主流となっている。またPDPは40インチクラスを目指して開発が進んでいる。他の大型表示素子の方法としてプラズマアドレス型の液晶素子も、このPDPと同レベルの大きさのディスプレイ素子の実現を目指している。この方式は大画面の液晶素子を駆動するトランジスタの代わりにプラズマを利用するものである。

【0003】これらの素子は、大画面化に伴って様々な課題に直面する。液晶素子では、駆動素子にプラズマC

VD法による α -Siを用いており、大型化対応の製造装置の開発が必要となり、製造コストの大幅な増加がある。これに対して有機物で薄膜トランジスタを形成することが可能になれば、塗布法または低温の蒸着法などで大型化が容易になるという考えがある。研究段階ではあるが有機薄膜トランジスタの開発が盛んになってきた。

【0004】例えば、A.Dodabalapur等は、有機の活性半導体層として、蒸着法によって成膜するチオフェンオリゴマ膜（重合度6）を用いて、電界効果移動度 $0.01 \sim 0.03 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、トランジスタの電流オン/オフ比は6～7桁を得ている（「サイエンス」第268巻270頁～第271頁（SCIENCE、VOL. 268, p. 270～271））が、但し、電流値は他のトランジスタに比べて小さい。

【0005】また、スイッチングに必要なゲート電圧とドレイン電圧が数十Vと高いのが欠点である。この性能は現行の α -Siの電界効果移動度 $0.1 \sim 0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、及び電流のオン/オフ比の7桁に近い。

【0006】更に低温p-Siの電界効果移動度 $50 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、及び電流のオン/オフ比は7桁であり、高温p-Siの電界効果移動度 $100 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、及びオン/オフ比は7桁である。最も性能の良い単結晶Siになると、その電界効果移動度 $1500 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、及び電流のオン/オフ比は9桁以上である。

【0007】しかし、いずれのトランジスタも大型化対応が非常に困難である。前出の有機薄膜トランジスタは、この大型ディスプレイ素子でも直視型の液晶素子の駆動素子として有力視されている。

【0008】バックライトが必要な液晶素子に対して発光型の画面ディスプレイデバイスへの要望がある。前出のPDPが代表例であるが、有機薄膜の発光素子の開発も近年盛んである。モノマ分子の蒸着法による素子と、ポリフェニレンビニレン（PPV）を初めとする高分子材料を塗布形成する素子が有望である。

【0009】これらの有機発光材料を用いてカラー表示素子を作製する場合、液晶素子の開発の歴史から推測されるように、近い将来、トランジスタによるアクティブ型駆動が主流になるであろう。単純なマトリックス電極配線によって発生する輝度傾斜を防ぐためである。現状ではトランジスタの性能が不足するために、アクティブ駆動が困難でパッシブ駆動の延長となってしまう。

【0010】

【発明が解決しようとする課題】有機薄膜トランジスタの性能の第1の課題は、電界効果移動度が $0.01 \sim 0.03 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ と α -Siの電界効果移動度 $0.1 \sim 0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ に対して1桁以上小さいことである。

【0011】第2の課題は、駆動電圧がゲート電圧、ドレイン電圧共に数十Vと高いことである。但し、プラズマアドレス型液晶素子の場合、データ電圧100V（ゲート電圧に相当）、放電電圧350V（ドレイン電圧に相当）であり、必ずしも欠点とはならない。液晶素子の駆動は通常5V以下でなされるが、液晶モードによっては15V以上の高駆動電圧が必要になることもある。

【0012】本発明は有機薄膜トランジスタにおいて電界効果移動度を向上させることと、駆動電圧を低減させることである。

【0013】液晶素子の大型化に伴って視野角の広い特性が望まれる。視野角の広い液晶表示モードである垂直配向の負の誘電異方性を持つ液晶の場合、駆動電圧が高く、通常の α -Siトランジスタでは駆動が困難である。また大型化に伴って、動作時に液晶配向を保持するために各画素に導入される補助容量を形成することが困難になる。本発明は液晶素子において、視野角特性の良い大型ディスプレイを得ることである。

【0014】有機発光素子を形成する場合、発光層は正孔輸送層と連続で透明電極上に数百オングストロームと極薄く成膜される。これに画素毎に駆動用のトランジスタを設ける場合、通常トランジスタを基板面に設けておいてから、発光層を設ける。このため開口率が低い。本発明は大型発光素子において、開口率が大きく明るいディスプレイを得ることである。

【0015】既に、電界効果移動度の課題を解決するために、ゲート電極、ソース電極、ドレイン電極の3端子及び活性半導体層からなる薄膜トランジスタにおいて、活性半導体層が繰り返し単位を持つ有機物であり、その繰り返し単位が5以上のオリゴマ分子を備えたものであることを見いだした。

【0016】更に、駆動電圧の課題を解決するために、ゲート電極、ソース電極、ドレイン電極の3端子及び活性半導体層からなる薄膜トランジスタにおいて、活性半導体層が有機物からなり、ソース電極及びドレイン電極と前記活性半導体層の間に有機物からなる電子輸送層または正孔輸送層を備えたものであることも、見いだした。

【0017】しかし、トランジスタの基本特性は、活性層の有機薄膜の結晶領域の拡大が必要である。また、活性層とゲート絶縁膜との間に存在する界面トラップを如何に減少させるかが重要である。可能な限り活性層とゲート絶縁膜の間の異種間接合を、結晶構造を変えずに連続で行えるホモエピタキシャル接合が望まれる。

【0018】無機半導体では移動度の大幅な向上を量子井戸構造の導入で行っている。GaAs/n-AlGaAsのシングルヘテロ構造における2次元電子ガスを利用した高電子移動度トランジスタ（HEMT）が超格子を用いた電子デバイスとして成功している。結晶構造と結晶格子がほぼ同じものを単原子層レベルで接続することで、格子歪の影響を無視できるほどにして、結晶欠陥のない界面を作り出すことに成功した。これを可能にするのは、分子線エピタキシー法によって精密に制御した

結晶成長である。

【0019】有機半導体においてもバンド幅の異なる分子構造を連続して接合できれば、狭い層に2次元電子ガスを閉じこめて、移動度の大幅な向上が期待できる。無機半導体では分子線エピタキシー法であったが、有機物で構成する場合は、無機物ではできない選択的な化学反応を使った分子・原子レベルでの制御が可能となるはずである。

【0020】

【課題を解決するための手段】本発明の有機薄膜トランジスタは、ゲート電極、ソース電極、ドレイン電極の3端子及び活性半導体層と絶縁層からなり、活性半導体層が(化1)で表される高分子であり、絶縁層が(化2)で表される高分子であり、活性半導体層と絶縁層が連続して結合したものである。

【0021】また、ゲート電極、ソース電極、ドレイン電極の3端子及び活性半導体層と絶縁層からなる薄膜トランジスタにおいて、活性半導体層が(化1)で表される高分子と(化2)で表される高分子が交互に結合したものである。

【0022】本発明の有機薄膜トランジスタの製造方法は、真空加熱蒸着法において、(化3)で表される化合物と(化4)または(化5)で表されるジアミン化合物を交互に蒸発させることによって、基板面に(化1)ま

たは(化2)の高分子を重合させる。

【0023】また、本発明の液晶素子は、前記有機薄膜トランジスタを用いて画素電極を構成したものである。

【0024】また、本発明の有機発光素子は、前記有機薄膜トランジスタを用いた有機発光素子であって、透明な共通電極が被覆された透明基板上に有機薄膜からなる電界発光層、及び正孔輸送層が積層され、その上にマトリックス状に分離された画素電極が形成され、各画素電極上には、ソース電極を介して前記有機トランジスタが配置されている。

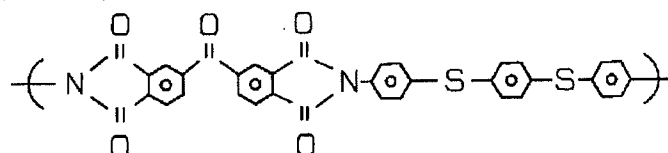
【0025】

【発明の実態の形態】以下、本発明の実施の形態について、図1から図7を用いて説明する。

【0026】(実施の形態1)図2は本発明の逆スタガー構造の有機薄膜トランジスタの断面を示す。図2において、1はガラスを代表とする電気絶縁性基板であり、2はゲート電極である。3はゲート絶縁層で、本発明の(化2)で表される高分子であり、具体的な構造式の例は(化7)である。4は活性半導体層であり、本発明の(化1)で表される高分子であり、具体的な構造式の例は(化6)である。

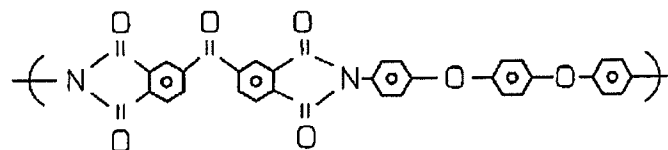
【0027】

【化6】



【化7】

【0028】



【0029】このゲート絶縁層3と活性半導体層4は、真空加熱蒸着法によって連続して成膜する。5及び6はそれぞれドレイン電極とソース電極である。ゲート電極2は金を、ドレイン電極5とソース電極6はアルミニウムを用いた。チャネル長は12μmとした。

【0030】ゲート絶縁層3と活性半導体層4それぞれの高分子層の結晶粒の大きさは、成膜時の基板温度と蒸着速度によって制御される。最適条件で最大約10cm²V⁻¹s⁻¹の電界効果移動度を得た。またオン/オフ電流比はおよそ7桁と良好な結果である。a-Siの性能に匹敵する結果が得られた。

【0031】図1は基板面での高分子のゲート絶縁層3、活性半導体層4の配向状態を模式的に示したものである。ゲート絶縁層3は繰り返し単位を20層積層しておよそ400オングストローム、活性半導体層4は10

層積層して200オングストロームとした。図3の構造を持つ多源真空蒸着装置を用いて、以下の成膜手順に従って成膜した。

【0032】(1)ゲート絶縁層3の(化7)をゲート電極上に成膜する。ゲート電極2上にラングミュア・ブロッジェット法によって、側鎖末端にアミノ基を有するアルキル基を結合するシランカップリング材を予め単分子層だけ展開しておく和良好的。高分子の主鎖軸方向が基板面に垂直になるようにするため、(化3)の化合物を坩堝を加熱してシャッターを開けて蒸着する。シランカップリング材のアミノ基とは(化3)は選択的に化学反応し、1層の成長で止まる。次に、基板温度を200度以上に保ち、(化5)のジアミンを坩堝を加熱してシャッターを開けて蒸着する。

【0033】基板面では全面を覆う(化3)と(化5)

のイミド化反応によって1層だけ(化5)が選択的に成長する。基板温度が高いことにより、全面が反応完了すれば余分の(化5)は堆積せずに再蒸発する。従って、それ以上の成長はない。

【0034】次に再び(化3)を基板温度を高温に保って蒸着する。この段階においても1層だけ選択的に反応することで、成長する。その後、次々とこのステップで蒸着源を(化3)と(化5)を交互に交換することで、高分子(化7)が高分子の主鎖軸を基板に垂直に保ちながら成長する。(化3)と(化5)の1回の成長でおよそ20オングストローム成長する。従って20回連続してシャッターを開けることで400オングストローム堆積する。

【0035】(2)ゲート絶縁層3の成長を(化3)の蒸着で完了させる。その後(化5)に変えて(化4)のジアミンを蒸着する。先のステップと同様に(化3)と(化4)を交互に蒸着することで活性半導体層4に相当する高分子(化6)を成膜する。ゲート絶縁層3と活性半導体層4は連続で切り替わることになる。従って界面はホモエピタキシャル的に成長する。(化3)と(化4)の1回の成長はやはり20オングストロームであり、10回連続して200オングストローム堆積する。

【0036】以上の方法で成膜したゲート絶縁層3と活性半導体層4は図1のようになる。膜厚は数十オングストロームから数千オングストロームである。尚、両者の高分子構造は、カルコゲン原子が酸素とイオウといった違いだけであり、結晶構造はほぼ同じである。従って、界面では格子定数のミスマッチは起こさず、連続して(化2)と(化1)は結晶成長が可能である。即ち、ホモエピタキシャル的成長が可能になる。

【0037】高分子(化1)と(化2)では結晶状態でエネルギー幅がそれぞれ1.85eV、2.33eVである。この差は結晶状態における高分子の電子状態に起因するものである。キャリア移動度も(化1)が(化2)に比べて5桁以上大きい。更に(化1)はキャリア移動に異方性があり、その移動方向は高分子の主鎖軸に対して直交する方向である。図2のトランジスタはキャリアを膜厚方向に対して直交する方向に伝達することで機能する。従って高分子の主鎖軸がゲート電極面に垂直に成長する構造で矛盾なく機能させることができる。

【0038】トランジスタ特性の向上にとってゲート絶縁膜と活性半導体層との間のトラップによる局在準位を減少させることが重要である。本構造ではゲート絶縁膜と活性半導体層とが(化2)と(化3)に相当して、しかもそれらの高分子が連続して成長するため理想的な界面を形成することになる。

【0039】(実施の形態2)図4は本発明の高分子(化1)と(化2)によって形成される量子井戸構造を活性層7に用いた逆スタガ構成のトランジスタ構造である。図4において、1はガラスを代表とする電気絶縁性

基板であり、2はゲート電極である。3はゲート絶縁層で本発明の(化2)で表される高分子である。7は活性半導体層であり、上記した高分子の量子井戸構造層である。5及び6はそれぞれドレイン電極とソース電極である。ゲート電極2は金を、ドレイン電極5とソース電極6はアルミニウムを用いた。チャネル長は12 μ mとした。

【0040】図5に量子井戸構造を形成するときの(化1)と(化2)の条件を示す。キャリア濃度を高めるエネルギーギャップの狭い層は(化1)で形成する。PSmの繰り返し単位mと連続して成膜する層数xで決まる。ほぼ1.9eVである。

【0041】一方、エネルギー障壁を形成するエネルギーギャップの広い層は(化2)で形成する。PONの繰り返し単位nと連続して成膜する層数yで決まる。ほぼ2.3eVである。更に、全膜厚は層数xと層数yの交互の繰り返し数zで決まる。(化1)と(化2)の層は、代表的にはx=y=3で、およそ60オングストロームづつとした。

【0042】量子井戸構造層の成膜方法は、前記実施の形態1と同じ方法で成膜する。即ち(化2)でゲート絶縁層を形成した後、最終層を(化3)の蒸着とする。引き続き(化4)と(化3)を交互にそれぞれx回成膜し(化1)層を形成する。最終はやはり(化3)とし、引き続き(化5)と(化3)を用いて交互にそれぞれy回成膜し(化2)層を形成する。再び(化1)層にもどる。この繰り返しをz回することで量子井戸構造層を完成させる。

【0043】そのトランジスタの特性評価を行ったところ、最大約100cm²V⁻¹s⁻¹の電界効果移動度を得た。またオン/オフ電流比はおよそ10桁と良好な結果である。この性能は高温ポリシリコントランジスタに匹敵するものであり、従来1インチ程度の小さな石英基板でしか実用されなかったものである。本実施例によれば大型基板でも同等の性能が得られることになる。

【0044】成膜過程は実施の形態1に比べて工程数は大幅に増加するが、単純な繰り返し回数の増加だけである。

【0045】(実施の形態3)図6は逆スタガ構造の本発明の有機薄膜トランジスタと有機絶縁性薄膜からなる静電容量を構成する蓄積容量電極を持つ液晶素子の断面図である。ガラス基板1上にトランジスタを構成するゲート電極2、実施の形態1で示したゲート絶縁膜3、活性層4、及びドレイン電極5、ソース電極6、透明な画素電極8が形成される。

【0046】更に蓄積容量を形成するための蓄積容量電極9と11、有機絶縁性薄膜10を設ける。液晶を配向させるための配向膜12を全面に設ける。対向基板1は透明電極13が全面に形成される。液晶層14は両基板の配向膜12によって配向される。具体的なプロセスを

説明する。

【0047】(1) 対角25インチ(縦横比4:3)のガラス基板1上に画素電極8としてインジウム・チタン・酸化物(ITO)をスパッタ法によって形成し、正方配列で画素電極8をパターン形成する。画素ピッチは横方向に $200\mu\text{m}$ として画素数は $800 \times 3 = 2400$ 個、縦方向には $620\mu\text{m}$ として画素数は600個並べ、全画素数を144万画素形成した。これはカラーSVGAクラスの表示画素である。更にゲート電極2と蓄積容量電極9としてクロム電極をスパッタ法で成膜しパターン形成する。

【0048】(2) 全面にポリオルガノシロキサンを塗布、乾燥した後、 400°C で加熱硬化させる。その後、フォトリソグラフ工程によって補助容量を形成する有機絶縁性薄膜10を設ける。

【0049】(3) 実施の形態1に示した真空蒸着法によって(化3)のカルボン酸化合物と(化4)、(化5)のジアミン化合物によって、ゲート絶縁層3を(化2)の高分子で活性層4を(化1)の高分子で形成する。

【0050】(4) ドレイン電極5、ソース電極6及び蓄積容量電極11をアルミニウムで同時に成膜、パターン形成する。

【0051】(5) 全面をポリイミドの配向膜12で覆う。

(6) 液晶素子の対向基板となるITOの透明電極13付きガラス基板1上に配向膜12を塗布し、トランジスタの構成された基板とをそれぞれラビング処理する。この1組の基板をビーズを介して接着し、真空注入装置によって液晶14を注入し、封じすることで素子が完成する。

【0052】液晶表示モードは用いる液晶材料と配向膜材料で決まる。1例としてツイストネマチックモードと他の例として垂直配向モードの素子を、それぞれ作製した。前者のツイストネマチックモードには正の誘電異方性を持つネマチック液晶とプレチルト角 $\sim 2^\circ$ のポリイミド配向膜を使った。後者の垂直配向モードには負の誘電異方性を持つネマチック液晶とプレチルト角 87° のポリイミド配向膜を使った。

【0053】それぞれの素子でのドレイン駆動電圧は、前者が5Vで、後者が7Vである。視野角依存性を評価したところコントラスト100を維持する角度が前者が上下 20° に対して、後者が上下 60° と後者の方が優れている。対角25インチの大型液晶パネルのSVGAフルカラー表示を実現した。

【0054】(実施の形態4) 図7に透明な共通電極13が被覆された透明基板1上に有機薄膜からなる電界発光層15、及び正孔輸送層16が積層され、その上にマトリックス状に分離された画素電極17があり、各画素電極17上には、ソース電極6を介してトランジスタが

配置される有機発光素子の断面図を示した。

【0055】発光面の開口率は、発光面をトランジスタの大きさに依存せずに配置することができるために高い。また層間絶縁層18は平坦化層としての働きもある。フルカラー素子を構成する場合、各画素上のトランジスタは平坦な層の上に構成することができる。具体的な製造方法を説明する。

【0056】(1) 対角25インチ(縦横比4:3)のガラス基板1上に全面をスパッタ法により透明電極13としてITOを1000オングストローム成膜する。この基板を真空蒸着装置に設置し、有機発光層15と電荷輸送層16を連続成膜する。それぞれ代表例としてアルミニウムキノリンを100オングストローム及びトリフェニルジアミンを1000オングストロームとした。

【0057】(2) 画素電極17を電子ビーム蒸着法またはスパッタ法によってアルミニウム1000オングストローム成膜する。マトリックス状に分離するためには、成膜時にマスクするか、全面に成膜後フォトリソグラフィによって分離するかは、いずれの方法でもよい。画素ピッチは横方向に $200\mu\text{m}$ として画素数は $800 \times 3 = 2400$ 個、縦方向には $620\mu\text{m}$ として画素数600個並べ、全画素数を144万画素形成した。これはカラーSVGAの表示画素である。画素の開口率は80%以上である。

【0058】(3) 層間絶縁層18として、アクリル系のレジストを用いて約 $2\mu\text{m}$ 成膜する。フォトリソグラフィによって各画素電極とのコンタクトホールを形成する。層間絶縁膜18上にフォトリソグラフィによってゲート電極2を形成し、ゲート絶縁膜3と活性半導体層4を実施の形態2の方法によって量子井戸構造をもった有機膜とした。

【0059】(4) ドレイン電極5、ソース電極6をアルミニウムで同時に成膜、パターン形成する。最後に全面をパシベーション膜19で覆う。

【0060】このようにして製造した有機トランジスタ駆動によるアクティブ型の有機発光素子は、ドレイン駆動電圧10V、ゲート電圧10Vで発光輝度 1万cd/m^2 と明るい。また動画表示も可能である。

【0061】更にカラー表示対応の素子を作製するため有機発光層を赤色発光層、緑色発光層、青色発光層をストライプ状に並べて形成する。電荷輸送層は共通とできる。このカラー素子をドレイン駆動電圧10V、ゲート電圧10Vで動画表示したところ、発光輝度 5000cd/m^2 と明るく応答速度も1msec以下と良好な特性を得た。実施の形態3と同じ25インチの大画面素子を発光素子で実現できた。

【0062】なお、以上の実施の形態1から4の説明は、有機トランジスタの構成を逆スタガ型の例を説明したが、プレーナ型についても同様に実施可能である。

【0063】

【発明の効果】以上のように本発明によれば、高移動度を持つ有機トランジスタをスイッチング素子として組み込むことで大面積の液晶表示素子または有機発光素子が実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1によるゲート絶縁層と半導体活性層の高分子の結合状態を示す模式図

【図2】本発明の実施の形態1による有機薄膜トランジスタを示す断面図

【図3】本発明の実施の形態1による真空蒸着装置の概略図

【図4】本発明の実施の形態2による量子井戸構造の半導体活性層を持つ有機薄膜トランジスタを示す断面図

【図5】本発明の実施の形態2による量子井戸構造の半導体活性層の高分子の結合状態を示す模式図

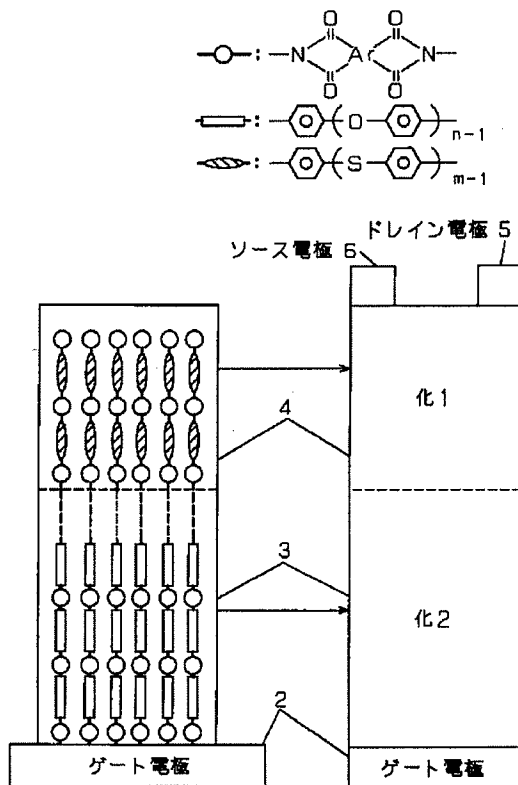
【図6】本発明の実施の形態3による有機薄膜トランジスタを持つ液晶素子の断面図

【図7】本発明の実施の形態4による有機薄膜トランジスタを持つ単色有機発光素子の断面図

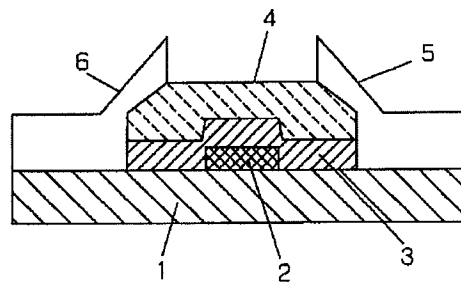
【符号の説明】

- 1 透明絶縁性基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 有機薄膜（活性半導体層）
- 5 ドレイン電極
- 6 ソース電極
- 7 有機多層膜
- 8 画素電極
- 9 蓄積容量電極
- 10 有機絶縁性薄膜
- 11 蓄積容量電極
- 12 配向膜
- 13 透明電極
- 14 液晶層
- 15 電界発光層
- 16 正孔輸送層
- 17 画素電極
- 18 層間絶縁膜
- 19 パシベーション膜

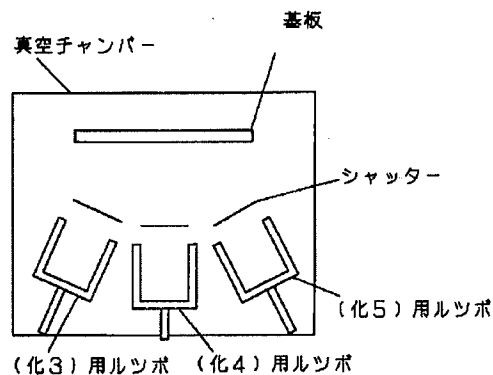
【図1】



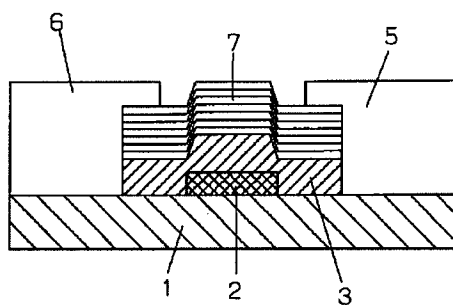
【図2】



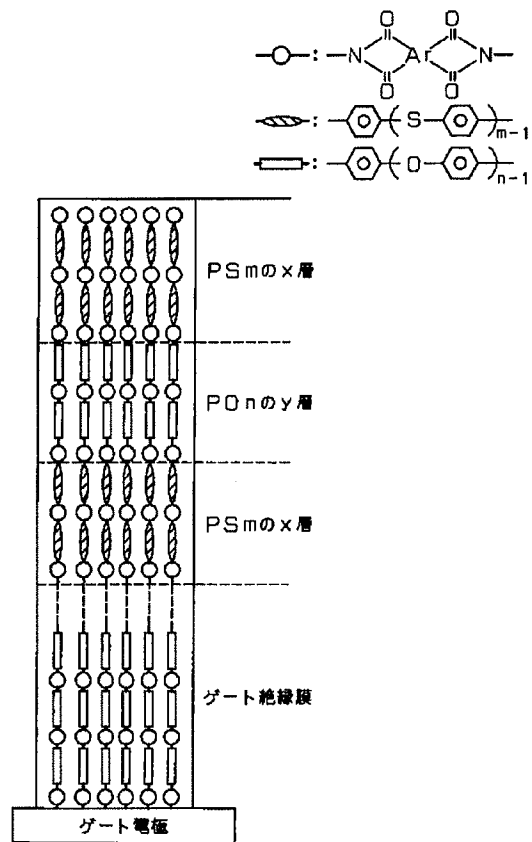
【図3】



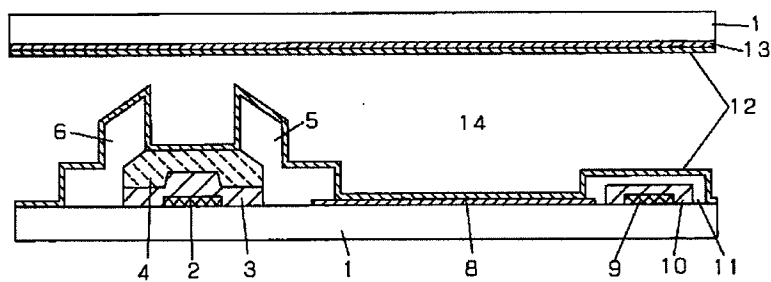
【図4】



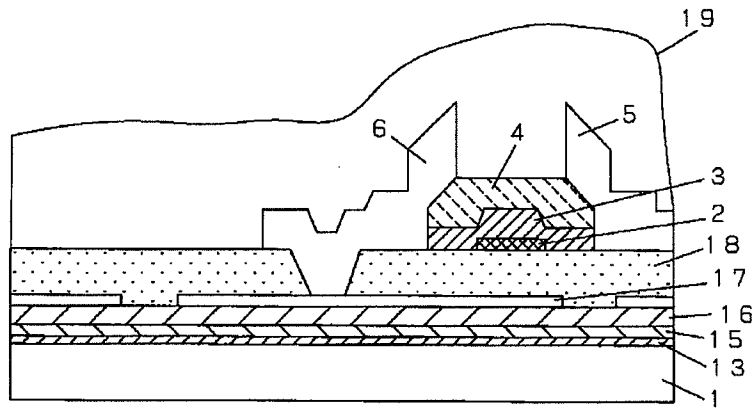
【図5】



【図6】



【図7】



フロントページの続き

(51)Int. Cl.⁶

H01L 51/00

21/336

識別記号

F I

H01L 29/28

29/78

617T

618E

618A

(72)発明者 西山 和廣

大阪府門真市大字門真1006番地 松下電器

産業株式会社内